

## ÉLÉMENT DE PORTFOLIO 04



### Publication

## 1 DÉFINITION DE CET ÉLÉMENT

**Titre de l'élément :** Réseau cartésien de 100 PLLs tout-numériques pour synthèse d'horloge distribuée pour les grands systèmes sur puce (SOCs).

**URL de l'élément :** <https://hal.science/hal-02318785/>

**Fichier de élément :**

## 2 MOTIVATIONS DU CHOIX DE CET ÉLÉMENT

Cet article publie un résultat d'un travail de 10 ans de recherche sur les techniques de génération d'horloge sur puce à l'aide d'un réseau de ADPLL (All Digital Phase Locked Loops) couplés. Ce travail a eu des retombées théoriques importantes concernant l'analyse et la modélisation d'un réseau de ADPLL qui est un système dit hybride (temps continu-temps discret, analogique et numérique, à échantillonnage irrégulier), dont les performances (le bruit, la stabilité, les propriétés dynamiques) sont très compliquées à stabiliser.

Ce travail a résulté d'une collaboration avec plusieurs laboratoires, cités ici en ordre de l'ancienneté de la collaboration : SUPELEC Paris, CEA-LETI (Grenoble), Laboratoire Ampère (Lyon), Université College Dublin (School of Engineering). Le prototype intégré contient 100 ADPLLs utilisant 300k transistors, est pleinement fonctionnel et est un des plus grands circuits de l'électronique mixte de ce type réalisé récemment dans le milieu académique français.

## 3 PRÉSENTATION DE CET ÉLÉMENT

Ce travail est motivé par l'évolution de circuits numériques vers des systèmes sur puces de très grande complexité (SOCs / NOCs). La génération d'une horloge globale est problématique pour de tels systèmes à cause de son coût énergétique et des variabilités technologiques. Cependant, une horloge globale est requise par le principe de communications synchrones, qui reste dominant dans le monde des circuits numériques. La technique étudiée consiste en l'utilisation d'un réseau d'oscillateurs couplés. Les oscillateurs locaux sont synchronisés en phase et en fréquence, permettant ainsi une communication synchrone sur une puce numérique de grande taille. La synchronisation des horloges locales utilise les techniques numériques de la synthèse de phase, connues sous le terme « All-Digital PLL ». La nature numérique de ce système de synchronisation constitue le principal point innovant du projet par rapport aux travaux antérieurs.

Un réseau de PLLs tout-numériques est une structure peu étudiée, et jamais utilisée auparavant pour la génération d'horloge. Le projet a pour but d'étudier la synchronisation d'un réseau d'oscillateurs par une PLL tout-numérique distribuée, en effectuant une étude théorique et en développant des démonstrateurs fonctionnels sur silicium. Sur le plan théorique, il s'agit de prouver que la structure, malgré sa complexité et sa non-linéarité, peut être stable et avoir un comportement maîtrisable. Les conditions de cette stabilité, ainsi que les outils théoriques pour la conception pratique, ont été étudiées. Des méthodes d'étude de systèmes multimodaux et non-linéaires ont été adaptées au problème : méthode H-infini, techniques propres aux systèmes multi-agents, étude de systèmes non-linéaires temps discret auto-échantillonnés [1, 3].

Depuis 2010, trois ASICs ont été conçus en technologie 65 nm de ST Microelectronics : un circuit comportant une seule PLL tout-numérique (2011), un circuit comportant un réseau de 4x4 oscillateurs (2013), un troisième circuit comportant un réseau de 10x10 oscillateurs et plus de 300 000 transistors (2014). Les trois puces sont fonctionnelles. Ces projets de conception ont été menés dans le cadre des thèses de doctorat d'Eldar Zianbetov (2008-2013) et Chuan Shan (2010-2014) [4].

L'évolution de ce projet comprend avant tout une étude théorique et un effort de modélisation de grand réseau de PLLs, afin d'optimiser la qualité de synchronisation de très grands ensembles d'oscillateurs contenant plus de 1000 nœuds. Entre 2014 et 2018, avec Elena Blokhina (University College Dublin, Irlande), nous avons co-encadré

une thèse de doctorat sur le sujet de modélisation mathématique des réseaux de PLLs tout-numériques (thèse de doctorat d'Eugene Koskin, UCD, Dublin). L'agence Entreprise Ireland (projet JRNET) a ensuite financé une étude exploitant l'utilisation d'un réseau de PLLs pour la synthèse d'horloge à grande pureté spectrale [2].

## 4 RÉFÉRENCES BIBLIOGRAPHIQUES

- [1] J.-M. N Akre, Jérôme Juillard, D. Galayko, and E. Colinet. Synchronization analysis of networks of self-sampled all-digital phase-locked loops. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 59(4) :708–720, 2011.
- [2] P. Bisiaux, E. Blokhina, E. Koskin, T. Siriburanon, and D. Galayko. Design of a 1.5 ghz low jitter dco ring in 28 nm cmos process. In *European Conference on Circuit Theory and Design (ECCTD)*, pages 1–5, 2020.
- [3] E. Koskin, D. Galayko, and E. Blokhina. A concept of synchronous adpll networks in application to small-scale antenna arrays. *IEEE Access*, 6 :18723–18730, 2018.
- [4] E. Zianbetov, D. Galayko, F. Anceau, M. Javidan, C. Shan, O. Billoint, A. Korniienko, E. Colinet, G. Scorletti, J. M. Akre, and J. Juillard. Distributed clock generator for synchronous soc using adpll network. In *IEEE Custom Integrated Circuits Conference (CICC)*, pages 1–4, 2013.