

## ÉLÉMENT DE PORTFOLIO 05



### Publication

## 1 DÉFINITION DE CET ÉLÉMENT

**Titre de l'élément :** Technique basse consommation pour la réalisation d'un convertisseur analogique-numérique de type Sigma-Delta passe-bande.

**URL de l'élément :** <https://hal.science/hal-03253471>

## 2 MOTIVATIONS DU CHOIX DE CET ÉLÉMENT

Cet article est le fruit de longues années de recherche dans le domaine de la conversion analogique-numérique rapide basse-consommation. Dans cet article, nous présentons une technique basse consommation pour la réalisation d'un convertisseur analogique-numérique de type Sigma-Delta passe-bande. Les résultats de mesure d'un circuit intégré conçu et fabriqué dans une technologie CMOS 65 nm montre que la technique proposée permet de réaliser un convertisseur analogique-numérique capable de fonctionner à une fréquence d'échantillonnage de 12 GHz avec une consommation inférieure à 20 mW. Dans une chaîne de réception radio fréquence (RF), ce convertisseur est capable de convertir directement le signal RF au domaine numérique, ce qui permettrait la réalisation de récepteur RF hautement numérisé facilement programmable et reconfigurable. Avant de publier cet article, un brevet a été déposé pour protéger les idées présentées dans l'article. Le brevet a été déposé en Europe, aux États-Unis, en Corée et en Chine. Ce brevet, dont Sorbonne Université et le CNRS sont propriétaires, fait maintenant parti du portfolio de brevets de la startup Seamless Waves issue de l'équipe CIAN. Seamless Waves est une société spécialisée dans la conception et la réalisation d'émetteur/récepteur RF hautement numérisés dédiés aux nouveaux standards de communications 5G/6G et IoT.

## 3 PRÉSENTATION DE CET ÉLÉMENT

La modulation Sigma-Delta passe-bande est une technique très efficace en consommation pour la réalisation de convertisseurs analogique-numérique Radio fréquence. Afin de couvrir une large gamme de fréquences, des convertisseurs Sigma-Delta passe-bande avec des fréquences centrales accordables ont été proposés. Un défi important dans la conception d'un modulateur Sigma-Delta accordable est la variation des coefficients de rebouclage du modulateur afin de maintenir la même fonction de transfert de signal (STF) et la même fonction de transfert de bruit pour chaque fréquence centrale,  $f_0$ , de l'ADC. Le fait que les coefficients rebouclage doivent être réglés pour chaque fréquence centrale complique considérablement l'architecture du modulateur. Cela entraîne une très grande consommation d'énergie de 750 mW pour une plage d'accord de 1 GHz dans [5], un SNR plutôt faible de 40 dB avec une bande passante de 1 MHz pour une plage de réglage à 1.2 GHz [2] ou une plage d'accord très limitée de 40 MHz dans [1]. Dans ces architectures, illustrées à la Fig. 1, la fréquence d'échantillonnage fréquence,  $f_s$ , est fixe, donc toute variation de la fréquence centrale,  $f_0$ , entraîne une variation de la fréquence centrale normalisée,  $f_0/f_s$ . Dans ce cas, tous les coefficients de rebouclage doivent être réglés pour compenser cette variation  $f_0/f_s$  et maintenir les mêmes fonctions de transfert du signal et du bruit pour toutes les fréquences centrales. Dans cet article [4], nous proposons l'architecture illustrée à la Fig. 2, où la fréquence centrale normalisée,  $f_0/f_s$ , est fixe. Dans ce cas, toute variation de la fréquence centrale,  $f_0$ , est liée à une variation de la fréquence d'échantillonnage,  $f_s$ , afin de conserver la fréquence centrale normalisée,  $f_0/f_s$ , égal à 1/4. Dans ce cas, tous les coefficients de contre-réaction sont fixes car  $f_0/f_s$  est fixe. En pratique, le fait de varier la fréquence d'échantillonnage,  $f_s = 1/T_s$ , modifie le délai de boucle normalisé,  $t_d/T_s$ , ce qui entraîne une modification de la fonction de transfert du bruit du modulateur. Comme illustré à la Fig. 2, afin de maintenir la même fonction de transfert du bruit sans régler les coefficients de contre-réaction, nous proposons de modifier le retard de boucle,  $t_d$ , afin de compenser toute variation de la boucle normalisée retard  $t_d/T_s$  [3]. L'architecture proposée est validée par la réalisation d'un modulateur sigma-Delta passe-bande de 2ème ordre dans une technologie CMOS 65 nm. Pour un rapport de suréchantillonnage de 64, le modulateur atteint un rapport signal-sur-bruit de 37 dB sur toute la plage de réglage de la fréquence centrale : 1.5 GHz. Ce rapport signal-sur-bruit est atteint pour une bande

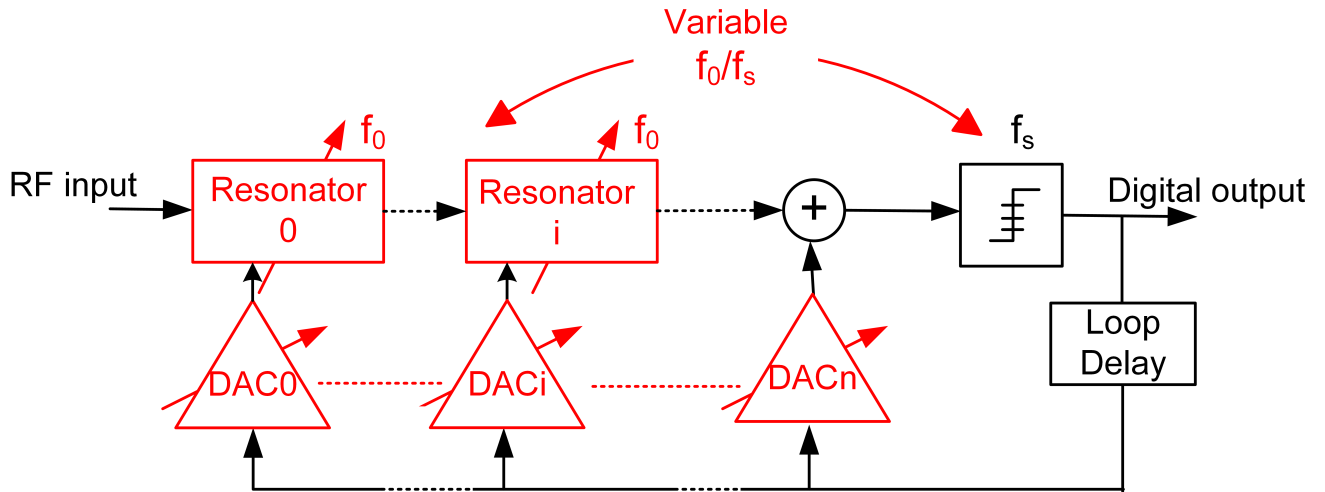


FIGURE 1 – A tunable bandpass  $\Sigma\Delta$  ADC having a variable normalized center-frequency,  $f_0/f_s$ . All  $\Sigma\Delta$  coefficients have to be tuned with  $f_0$ .

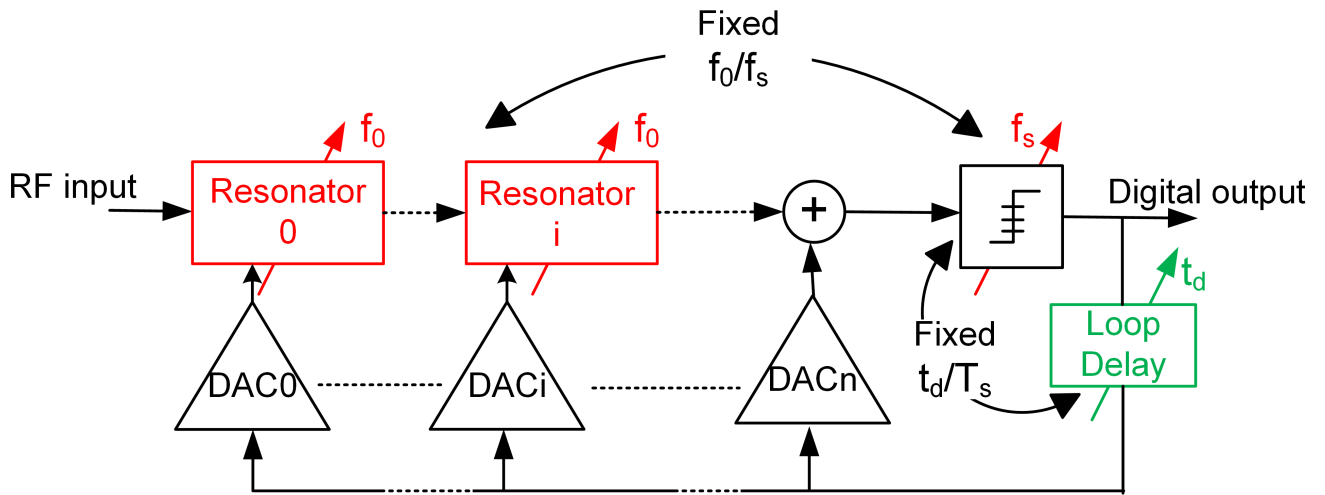


FIGURE 2 – The proposed architecture having a fixed normalized center frequency,  $f_0/f_s$ , and a fixed normalized loop-delay,  $t_d/T_s$ . All coefficients are fixed in the  $\Sigma\Delta$  tuning range,  $\Delta f_0$ .

passante  $BW = 47$  MHz à  $f_0 = 1.5$  GHz et pour une bande passante  $BW = 93$  MHz à  $f_0 = 3.0$  GHz. Par rapport à l'état de l'art, la puce fabriquée a la plus faible consommation (13 mW), atteint la plus large plage de réglage (1.5 GHz) et la fréquence centrale la plus élevée (3.0 GHz).

## 4 RÉFÉRENCES BIBLIOGRAPHIQUES

- [1] H. Chae and M. P. Flynn. A 69 dB SNDR, 25 MHz BW, 800 MS/s continuous-time bandpass  $\Delta\Sigma$  modulator using a duty-cycle-controlled DAC for low power and reconfigurability. *IEEE Journal of Solid-State Circuits*, 51(3) :649–659, 2016.
- [2] S. Gupta, D. Gangopadhyay, H. Lakdawala, J. C. Rudell, and D. J. Allstot. A 0.8–2 GHz fully-integrated QPLL-timed direct-RF-sampling bandpass  $\Sigma\Delta$  ADC in 0.13  $\mu\text{m}$  CMOS. *IEEE Journal of Solid-State Circuits*, 47(5) :1141–1153, 2012.
- [3] A. Sayed, T. Badran, M.-M. Louerat, and H. Aboushady. A tunable bandpass sigma-delta ADC, 2016. US patent US10530385B2, Korean patent KR102317594B1, Chinese patent CN109952707A.
- [4] A. Sayed, T. Badran, M.-M. Louerat, and H. Aboushady. A 1.5-to-3.0GHz tunable RF sigma-delta ADC with a fixed set of coefficients and a programmable loop delay. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 67(9) :1559–1563, 2020.

- [5] H. Shibata, R. Schreier, W. Yang, A. Shaikh, D. Paterson, T. C. Caldwell, D. Alldred, and P. W. Lai. A DC-to-1 GHz tunable RF  $\Delta\Sigma$  ADC achieving DR= 74 db and BW= 150 MHz at  $f_0 = 450$  MHz using 550 mW. *IEEE Journal of Solid-State Circuits*, 47(12) :2888–2897, 2012.